

Rec'd PCT/PTO 23 MAR 2003

PCT/JP03/12145

日本国特許庁
JAPAN PATENT OFFICE

24.09.03
10/528807

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年 9月24日
Date of Application:

出願番号 特願2002-276572
Application Number:
[ST. 10/C]: [JP 2002-276572]

出願人 シチズン時計株式会社
Applicant(s):

REC'D 13 NOV 2003

WIPO

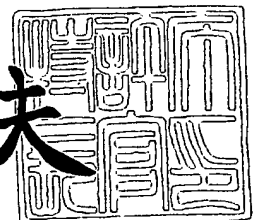
PCT

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2003年10月30日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



BEST AVAILABLE COPY

【書類名】 特許願

【整理番号】 P-26258

【提出日】 平成14年 9月24日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 G04C 10/00

【発明者】

【住所又は居所】 東京都西東京市田無町六丁目 1 番 1 2 号 シチズン時計
株式会社内

【氏名】 永田 洋一

【特許出願人】

【識別番号】 000001960

【氏名又は名称】 シチズン時計株式会社

【代表者】 梅原 誠

【電話番号】 0424-68-4748

【手数料の表示】

【予納台帳番号】 003517

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電子時計

【特許請求の範囲】

【請求項 1】 外部からのエネルギーを電気エネルギーに変換し出力する発電手段と、前記発電手段の出力を昇圧して出力する昇圧手段と、

前記昇圧手段の出力を蓄電する蓄電手段と、

前記発電手段、前記蓄電手段あるいは前記昇圧手段の出力エネルギーにより計時動作を行う計時手段とを有する電子時計であって、

前記計時手段は低電圧から発振動作する発振回路と該発振回路の出力信号をもとに時刻表示を行う時刻表示部と、

前記発振回路の出力信号を接続し、前記発振回路の発振開始から少なくとも所定の期間は前記発振回路の出力信号の周波数で前記昇圧手段を動作させ、前記計時手段へ昇圧出力するように制御するための昇圧制御手段とを備えたことを特徴とする電子時計。

【請求項 2】 前記発振回路は、導電型の異なる 1 組の電界効果トランジスタで構成しそれぞれのゲート端子を別々にバイアス印加した発振インバータと、所定の固有周波数を有し前記発振インバータの入出力間に接続した共振回路と

、
前記発振インバータに電流を供給する定電流回路とで構成したことを特徴とする請求項 1 に記載の電子時計。

【請求項 3】 前記計時手段は、導電型の異なる 1 組の電界効果トランジスタで構成しそれぞれのゲート端子を別々にバイアス印加した波形整形回路を備え、前記波形整形回路は前記発振回路と前記時刻表示部および前記昇圧制御手段との間に接続し、前記発振回路の出力信号を前記波形整形回路を介して前記時刻表示部および前記昇圧手段に伝達することを特徴とする請求項 1 に記載の電子時計。

【請求項 4】 前記時刻表示部は複数の電界効果トランジスタからなる論理回路を含み、前記発振インバータを前記時刻表示部に用いる電界効果トランジスタよりもしきい値電圧の低い電界効果トランジスタで構成したことを特徴とする

請求項 1 または 2 に記載の電子時計。

【請求項 5】 前記時刻表示部は複数の電界効果トランジスタからなる論理回路を含み、前記波形整形回路を前記時刻表示部に用いる電界効果トランジスタよりもしきい値電圧の低い電界効果トランジスタで構成したことを特徴とする請求項 1 または 3 に記載の電子時計。

【請求項 6】 前記時刻表示部は複数の電界効果トランジスタからなる論理回路を含み、前記昇圧制御手段を前記時刻表示部に用いる電界効果トランジスタよりもしきい値電圧の低い電界効果トランジスタで構成したことを特徴とする請求項 1 に記載の電子時計。

【請求項 7】 前記計時手段は前記発振インバータに所定のバイアス電圧を印加するバイアス回路を備え、該バイアス回路は前記発振回路と同じしきい値の電界効果トランジスタで構成したことを特徴とする請求項 1 または 2 に記載の電子時計。

【請求項 8】 前記計時手段は前記波形整形回路に所定のバイアス電圧を印加するバイアス回路を備え、該バイアス回路を前記波形整形回路と同じしきい値の電界効果トランジスタで構成したことを特徴とする請求項 1 または 3 に記載の電子時計。

【請求項 9】 前記計時手段は前記計時手段の端子電圧を検出する電源電圧検出手段を備え、前記発振回路の発振開始から前記計時手段の端子電圧が少なくとも所定の値未満の期間は前記発振回路の出力信号の周波数で前記昇圧手段が昇圧動作することを特徴とする請求項 1 に記載の電子時計。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、水晶振動子などの固有周波数を利用した発振回路を用いた電子時計に関するものであり、特に充電機能を有する電子時計に用いられる水晶発振回路の発振起動性向上のための回路構成に関するものである。

【0002】

【従来の技術】

現在は、光や機械的エネルギーなどの外部エネルギーを電気エネルギーに変換し、この電気エネルギーを電子機器の駆動に利用する発電手段を内蔵した電子時計がある。

【0003】

このような発電手段を内蔵した電子時計には、太陽電池を利用する太陽電池式時計や、回転錘の機械的エネルギーを電氣的エネルギーに変換して利用する機械発電式時計や、熱電対を複数直列化しその熱電対の両端の温度差により発電する温度差発電式時計がある。

【0004】

ここで従来の例として、上記のうちの温度差発電式の電子時計の場合の電源周辺回路について、図6を用いて説明する（例えば、特許文献1参照）。これは発電手段の発電出力を昇圧手段で昇圧して蓄電するものである。

【0005】

【特許文献1】

特開平9-96686号公報（第5-7頁、第1図）

【0006】

この従来の電子時計では、熱電素子である発電手段1と充電ダイオード6と計時手段4とで電流経路を形成している。計時手段4は、電気エネルギーで時刻表示を行う時計ブロックである。

また発電手段1の出力は昇圧手段2を介して昇圧され、蓄電手段3を充電することが可能となっている。

【0007】

この従来の電子時計は、蓄電手段3がほぼ空まで放電した状態で、かつ発電手段1も発電していないときは計時手段4は動作を停止している。その後に発電手段1が発電を開始すると、その発電エネルギーはまず計時手段4および昇圧制御手段5に送られる。この発電手段1の発電電圧が計時手段4の起動に十分なレベル（例えば1.0V）以上であれば計時手段4は再起動動作を開始する。計時手段4からは分周クロック信号S8が出力され、さらにそれを分周した信号（図中のS9）が昇圧制御手段5から昇圧手段2へ送られる。この結果、昇圧手段2は昇

圧動作を開始する。

【0008】

そして一旦計時手段4が動作を開始した後は、発電手段1の発電電圧がやや低下しても、発電出力は昇圧手段2によって昇圧されて計時手段4へ供給されるため、計時手段4の計時動作は維持され、かつ蓄電手段3を高い電圧まで充電可能となる。

【0009】

さて、本例では発電手段1としては、一時的にでも比較的高い出力電圧が得られる熱電素子が用いられているが、その他の発電手段として1段セル構成の太陽電池を利用することも考えられる。1段セル構成の太陽電池は受光面に分割スリットが入らないので見栄えがよく、有効受光面積上の効率もよいので電子時計の発電手段として期待されている。

【0010】

【発明が解決しようとする課題】

ところが、太陽電池1段分の開放電圧は高照度下でもせいぜい0.7V弱程度である。従来の電子時計に普通に用いられる水晶発振回路は、発振起動するために低くとも0.6～0.8V程度が必要であるが、充電ダイオード6には小さいものでも0.1Vよりは大きな電圧降下があるため、1段セル構成の太陽電池を発電手段1として利用しようとしても、発振回路そのものに印加される電圧に対して発振回路の発振起動電圧のマージンが全くなく、この結果として発振回路を起動できないという問題があった。

【0011】

そこで本発明は上記の欠点を改善し、1段セル構成の太陽電池のような低電圧出力の発電手段を用いても確実に動作し、かつ1段セル程度でも高効率で充電動作可能な電子時計を提供するものである。

【0012】

【課題を解決するための手段】

本発明の電子時計は、上記課題を解決するために以下の手段を採用する。

外部からのエネルギーを電気エネルギーに変換し出力する発電手段と、前記発電手

段の出力を昇圧して出力する昇圧手段と、前記昇圧手段の出力を蓄電する蓄電手段と、前記発電手段、前記蓄電手段あるいは前記昇圧手段の出力エネルギーにより計時動作を行う計時手段とを有する電子時計であって、前記計時手段は低電圧から発振動作する発振回路と該発振回路の出力信号をもとに時刻表示を行う時刻表示部と、前記発振回路の出力信号が接続し前記発振回路の発振開始から少なくとも所定の期間は前記発振回路の出力信号の周波数で前記昇圧手段を動作させ前記計時手段へ昇圧出力するよう制御する昇圧制御手段とを備えたことを特徴とする。

上記手段を採用することにより本発明の電子時計では、計時手段中の発振回路そのものの起動電圧を低くし、この発振振幅を増幅した信号で昇圧回路を動作させるようにしている。そしてこの昇圧回路によって高電圧を得られるようになっているため、それ以外の計時手段中の論理回路や、定格電圧の高いステッピングモータなどを用いた時刻表示体を速やかに動作させることが可能となっている。

【0013】

次に、前記発振回路は、導電型の異なる1組の電界効果トランジスタで構成しそれぞれのゲート端子を別々にバイアス印加した発振インバータと、所定の固有周波数を有し前記発振インバータの入出力間に接続した共振回路と、前記発振インバータに電流を供給する定電流回路とで構成したことを特徴とする。

また、前記計時手段は、導電型の異なる1組の電界効果トランジスタで構成しそれぞれのゲート端子を別々にバイアス印加した波形整形回路を備え、前記波形整形回路は前記発振回路と前記時刻表示部および前記昇圧制御手段との間に接続し、前記発振回路の出力信号を前記波形整形回路を介して前記時刻表示部および前記昇圧手段に伝達することを特徴とする。

また、前記時刻表示部は複数の電界効果トランジスタからなる論理回路を含み、前記発振インバータを前記時刻表示部に用いる電界効果トランジスタよりもしきい値電圧の低い電界効果トランジスタで構成したことを特徴とする。

また、前記時刻表示部は複数の電界効果トランジスタからなる論理回路を含み、前記波形整形回路を前記時刻表示部に用いる電界効果トランジスタよりもしきい値電圧の低い電界効果トランジスタで構成したことを特徴とする。

また、前記時刻表示部は複数の電界効果トランジスタからなる論理回路を含み、前記昇圧制御手段を前記時刻表示部に用いる電界効果トランジスタよりもしきい値電圧の低い電界効果トランジスタで構成したことを特徴とする。

【0014】

また、前記計時手段は前記発振インバータに所定のバイアス電圧を印加するバイアス回路を備え、該バイアス回路は前記発振回路と同じしきい値の電界効果トランジスタで構成したことを特徴とする。

また、前記計時手段は前記波形整形回路に所定のバイアス電圧を印加するバイアス回路を備え、該バイアス回路を前記波形整形回路と同じしきい値の電界効果トランジスタで構成したことを特徴とする。

また、前記計時手段は前記計時手段の端子電圧を検出する電源電圧検出手段を備え、前記発振回路の発振開始から前記計時手段の端子電圧が少なくとも所定の値未満の期間は前記発振回路の出力信号の周波数で前記昇圧手段が昇圧動作することを特徴とする。

上記手段を採用することにより本発明では、発振回路を低しきい値の電界効果トランジスタで構成し、かつこの発振回路の動作電流を制御することで、発振回路が低い電圧から動作が開始でき、さらに起動後も低消費電力で発振動作を継続することができる。

【0015】

従って、従来は難しかった、1段セル構成の太陽電池を用いた電子時計であっても、比較的照度の低い環境下であっても起動動作が可能でかつ起動後も低消費電力な電子時計を実現することができる。

【0016】

【発明の実施の形態】

以下、本発明の発振回路を実施するための最適な形態について図面を用いて説明する。

図1は本発明の第1の実施の形態の電子時計の全体回路の構成を示す回路図である。

図2は本発明の第1の実施の形態の電子時計における時計ブロックの構成を示

す回路図である。

図 3 は本発明の第 1 の実施の形態の電子時計の波形生成手段の回路例を示す回路図である。

図 4 は本発明の第 1 の実施の形態の回路要部の電圧を示す波形図である。

図 5 は本発明の第 2 の実施の形態の要部構成を示す回路図である。

【0017】

[本発明の第 1 の実施の形態の全体構成説明：図 1]

まず図 1 を用いて本発明の電子時計の全体構成について説明する。

本発明の第 1 の実施の形態の電子時計は、計時手段 60 と第 1 のダイオード 91 と第 2 のダイオード 92 と第 1 の充電スイッチ 93 と第 2 の充電スイッチ 94 と第 3 の充電スイッチ 99 と昇圧手段 95 と発電手段 96 と蓄電手段 97 と発電検出手段 98 と昇圧制御手段 80 とで構成する。

【0018】

計時手段 60 は時計ブロック 61 とコンデンサ 62 とで構成している。時計ブロック 61 は電子時計としての計時動作および充放電動作のための基本信号を生成する部分である。時計ブロック 61 は後述する発振回路 20 と波形整形回路 30 と時刻表示部 50 とで構成している。時計ブロック 61 の内部構成や、時計ブロック 61 から出力されている各信号の詳細については後述する。

【0019】

昇圧制御手段 80 は後述する昇圧手段 95 を動作制御するための論理回路である。昇圧制御手段 80 からは第 1 の充電スイッチ信号 S93 と第 2 の充電スイッチ信号 S94 と第 3 の充電スイッチ信号 S99 と昇圧クロック S95 とが出力しており、発電検出信号 S98 が入力している。昇圧制御手段 80 の内部構成や、昇圧制御手段 80 から出力されている各信号の詳細については後述する。

【0020】

また時計ブロック 61 には、間欠的な負荷の動作に対して端子間電圧を安定化させる目的で、コンデンサ 62 を並列接続している。すなわちコンデンサ 62 は正極が接地し負極端子名は Vss1 とした。なおこのコンデンサ 62 は $10\mu\text{F}$ の容量のものをを用いている。

【0021】

リチウムイオン2次電池である蓄電手段97は、後述する発電手段96から出力される電力を蓄え、発電手段96が非発電である間も時計ブロック61を動作させるためのものである。蓄電手段97は正極を接地しており、また負極端子名はVss2とした。

【0022】

第1のダイオード91は、時計ブロック61が一旦動作を停止した後に再起動させる際に、後述の発電手段96の電力を時計ブロック61へ送るためのものである。第1のダイオード91のアノード端子はVss1に接続しカソード端子は後述の発電手段96の負極へ接続している。

【0023】

また第2のダイオード92は発電手段96が非発電である間でも蓄電手段97に蓄えられた電力を時計ブロック61へ送るためのものである。第2のダイオード92のアノード端子はVss1に接続しカソード端子は蓄電手段97の負極へ接続している。なお第1のダイオード91および第2のダイオード92には、順方向電圧降下が0.1V程度のショットキバリア・ダイオードを用いる。

【0024】

発電手段96は、ソーラセルを1段だけ有する太陽電池モジュールである。発電手段96の正極は接地し、負極が昇圧手段92の昇圧入力端子に接続している。発電手段96は光が照射すると約0.4～0.7Vの開放電圧が発生するものである。

【0025】

昇圧手段95はコンデンサの直並列状態を切りかえることで昇圧動作を行う昇圧回路である。昇圧手段95についての詳しい構成説明は省略するが、昇圧手段95はMOS電界効果トランジスタ（以下FET）によるスイッチ回路で構成し、かつこのMOSFETには後述の昇圧制御手段80の一部の論理回路に用いた低いしきい値のものを用いて、昇圧制御手段80が出力する小さな振幅（0.3V以上）であっても十分に切り換え制御が可能となるようにしたものを用いる。昇圧手段95の昇圧出力端子名はVupとした。

【0026】

昇圧手段 95 の入力側には発電手段 96 の出力が接続しており、発電手段 96 の出力電圧を昇圧するようになっている。また昇圧手段 95 には昇圧動作を制御するために昇圧クロック S95 が接続しており、昇圧手段 95 はこの昇圧クロック S95 により内部のコンデンサを切り換えて 4 倍昇圧動作を行う。

【0027】

また、第 1 の充電スイッチ 93 と第 2 の充電スイッチ 94 と第 3 の充電スイッチ 99 は昇圧手段 95 の動作に同期して昇圧出力を時計ブロック 61 および蓄電手段 97 へそれぞれ送るための N チャンネル MOSFET である。

第 1 の充電スイッチ 93 のソース端子は V_{ss1} に接続し、ドレイン端子が昇圧手段 95 の昇圧出力端子 V_{up} に接続し、ゲート端子は第 1 の充電スイッチ信号 S93 に接続している。

第 2 の充電スイッチ 94 のソース端子は V_{ss2} に接続し、ドレイン端子が昇圧手段 95 の昇圧出力端子 V_{up} に接続し、ゲート端子は第 2 の充電スイッチ信号 S94 に接続している。

第 3 の充電スイッチ 99 のソース端子は V_{ss1} に接続し、ドレイン端子が昇圧手段 95 の昇圧出力端子 V_{up} に接続し、ゲート端子は第 3 の充電スイッチ信号 S99 に接続している。

【0028】

一方、発電検出手段 98 は発電手段 96 の発電状態を検知するためのアンプ回路などからなる回路ブロックである。発電検出手段 96 の詳細な構成については省略するが、発電手段 96 が所定の発電量が出力されているときにはハイレベルを出力しそれ以外ではロウレベルを出力するよう動作する。なお発電検出手段 98 の検知出力は発電検出信号 S98 として時計ブロック 61 に接続している。

【0029】

[時計ブロックの構成説明：図 2]

つぎに図 2 を用いて本発明の電子時計の時計ブロックの構成について説明する。時計ブロック 61 は、発振回路 20 と波形整形回路 30 とバイアス回路 40 と時刻表示部 50 で構成している。時刻表示部 50 は波形生成手段 55 と定電圧手

段 5 2 と時刻表示体 5 4 とで構成している。

【0030】

[発振回路の構成]

発振回路 2 0 は後述する発振インバータと共振回路 1 0 とから構成される発振回路である。共振回路 1 0 は水晶振動子 1 1 と第 1 の発振容量 1 2 と第 2 の発振容量 1 3 とで構成している。共振回路 1 0 は発振回路 2 0 の発振周波数を決定する共振回路である。

【0031】

水晶振動子 1 1 は一般的な電子時計に用いられる水晶振動子である。また第 1 の発振容量 1 2 および第 2 の発振容量 1 3 は集積回路に内蔵したコンデンサである。第 1 の発振容量 1 2 は 8 p F であり第 2 の発振容量 1 3 は 4 p F であるものとする。

各発振容量の正極は接地し、負極を振動子 1 1 の両端にそれぞれ接続している。なお第 1 の発振容量 1 2 の負極は共振回路 1 0 の出力端子であるが、発振入力 S 0 としている。もう一方の第 2 の発振容量 1 3 の負極は共振回路 1 0 の入力端子であるが、発振出力 S 1 としている。

なお振動子 1 1 と第 1 の発振容量 1 2 および第 2 の発振容量 1 3 とは共振回路を構成しており、この共振周波数は 3 2 K H z (3 2 7 6 8 H z) となるようにしてある。

【0032】

さらに発振回路 2 0 は、第 1 のトランジスタ素子 2 1 と第 2 のトランジスタ素子 2 2 と第 1 の結合容量 2 3 と第 2 の結合容量 2 4 と第 1 のバイアス抵抗 2 5 と第 2 のバイアス抵抗 2 6 と第 3 のトランジスタ素子 2 7 と第 3 のバイアス抵抗 2 8 と安定化容量 2 9 で構成する。なお第 1 のトランジスタ素子 2 1 と第 2 のトランジスタ素子 2 2 とがインバータ（反転増幅）回路である発振インバータを構成しており、さらにこの増幅回路の入出力間には共振回路 1 0 が接続され帰還回路が形成されている。

【0033】

また第 1 のバイアス抵抗 2 5 と第 2 のバイアス抵抗 2 6 と第 3 のバイアス抵抗

28は高抵抗値を有する回路素子で構成している。これらのバイアス抵抗は電気抵抗値が500M Ω のものをを用いる。さらに第1の結合容量23と第2の結合容量24と安定化容量29はコンデンサである。

【0034】

第1のトランジスタ素子21はPチャネルのMOSFETであり、第2のトランジスタ素子22および第3のトランジスタ素子27はNチャネルMOSFETであり、第1のトランジスタ素子21と第2のトランジスタ素子22と第3のトランジスタ素子にはしきい値電圧の絶対値の低いもの(0.3V)を用いる。詳しくは、NチャネルMOSFETのしきい値は0.3Vであり、PチャネルMOSFETのしきい値は-0.3Vである。

【0035】

第1のトランジスタ素子21および第2のトランジスタ素子22のゲート端子同士は、第1の結合容量23および第2の結合容量24を介して接続している。第1の結合容量23と第2の結合容量24との接続点は発振入力S0として前述の共振回路10へ接続している。

【0036】

また第1のトランジスタ素子21および第2のトランジスタ素子22のドレイン端子同士をそれぞれを共通とし、この端子を発振出力S1として前述の共振回路10へ接続している。さらに第1のトランジスタ素子21のソース端子は接地し、第2のトランジスタ素子22のソース端子は安定化容量29の負極へ接続している。安定化容量29の正極は接地している。

【0037】

そして第3のトランジスタ素子27のドレイン端子は安定化容量29の負極へ接続している。第3のトランジスタ素子27のソース端子は後述の定電圧手段52の定電圧出力Vregに接続する。

【0038】

第3のトランジスタ素子27のゲート端子には後述のバイアス回路40から得られる一定電圧が印加され定電流回路として動作する。この定電流回路は安定化容量29への電流供給を行い、さらに安定化容量29は前述の発振インバータの

動作に必要な電流を供給するバイパスコンデンサの役割をする。

【0039】

なお、第1のトランジスタ素子21および第3のトランジスタ素子23のゲート端子には、後述するバイアス回路40の出力である第1のバイアス電圧VPおよび第2のバイアス電圧VNがそれぞれ直流バイアスされる。これにより第1のバイアス電圧VPにより第1のトランジスタ素子21は直流的には15 nAの定電流が流れ、第3のトランジスタ素子27は20 nAの定電流回路として動作するように素子寸法が設定されているものとする。バイアス回路40については後述する。

【0040】

[波形整形回路の構成]

波形整形回路30はPチャネルMOSFETである第4のトランジスタ素子31と、NチャネルMOSFETである第5のトランジスタ素子32と、第3の結合容量33と第4の結合容量34とで構成している。なお第4のトランジスタ素子31と第5のトランジスタ素子32とがインバータ（反転増幅）回路を構成している。第4のトランジスタ素子31と第5のトランジスタ素子32のしきい値電圧の絶対値は、発振回路20の用いたMOSFETと同じである0.3Vに設定したものをを用いる。

【0041】

第4のトランジスタ素子31のソース端子は接地し、第5のトランジスタ素子32のソース端子は定電圧出力Vregに接続する。

第4のトランジスタ素子31と第5のトランジスタ素子32のゲート端子は、第3の結合容量33と第4の結合容量34とを介して共通にしている。第3の結合容量33と第4の結合容量34との接続点は波形整形回路30の入力端子であり、発振出力S1が接続している。

第4のトランジスタ素子31と第5のトランジスタ素子32のドレイン端子は共通とし、この端子は波形整形出力S2としている。

【0042】

[バイアス回路の構成]

バイアス回路40は、PチャネルMOSFETである第6のトランジスタ素子41および第7のトランジスタ素子42と、NチャネルMOSFETである第8のトランジスタ素子43および第9のトランジスタ素子44と、抵抗素子である基準抵抗45とで構成している。第6～第9のトランジスタ素子41～44のしきい値電圧の絶対値も、発振回路20に用いたMOSFETと同様に0.3Vに設定したものをを用いる。

【0043】

バイアス回路40は定電圧を出力する回路であり、第1のバイアス電圧VPは接地端子からみて-0.3V程度の電圧値が出力され、第2のバイアス電圧VNは定電圧出力Vregからみて+0.3V程度の電圧値が出力されるように動作する。これらの電圧値はバイアス回路40を構成するMOSFETのしきい値電圧が基準となっている。

【0044】

第6のトランジスタ素子41のソース端子は接地しており、第7のトランジスタ素子42のソース端子は基準抵抗45を介して接地している。基準抵抗45により第1のバイアス電圧VPおよび第2のバイアス電圧VNの電圧値を調整可能である。ここでは基準抵抗45としては2500KΩの抵抗素子を用いることとしている。

また第7のトランジスタ素子42のゲート端子は第6のトランジスタ素子41のゲート端子およびドレイン端子に接続している。この端子からは第1のバイアス電圧VPが出力される。

そして第8のトランジスタ素子43と第9のトランジスタ素子44のソース端子は定電圧出力Vregに接続している。

第9のトランジスタ素子44のゲート端子は第8のトランジスタ素子43のゲート端子およびドレイン端子に接続している。この端子からは第2のバイアス電圧VNが出力される。

さらに第6のトランジスタ素子41のドレイン端子は第9のトランジスタ素子44のドレイン端子に接続しており、第7のトランジスタ素子42のドレイン端子は第8のトランジスタ素子43のドレイン端子に接続している。

【0045】

第1のバイアス電圧 V_P は、第1のバイアス抵抗25を介して第1のトランジスタ素子21のゲート端子に印加されるように接続している。同様に第1のバイアス電圧 V_P は第4のバイアス抵抗35を介して第4のトランジスタ素子31のゲート端子に印加されるように接続している。

さらに第2のバイアス電圧 V_N は、第3のバイアス抵抗28を介して第3のトランジスタ素子27のゲート端子に印加されるように接続している。同様に第2のバイアス電圧 V_N は第5のバイアス抵抗36を介して第5のトランジスタ素子32のゲート端子に印加されるように接続している。

第2のバイアス抵抗26は第2のトランジスタ素子22に自己帰還させる目的で発振出力S1と第2のトランジスタ素子22のゲートとの間に挿入している。

【0046】

さらに波形整形出力S2は波形生成手段55に入力している。波形生成手段55は発振回路の出力である発振出力S1を多段のフリップフロップ回路で分周し、この分周信号を合成することでステップモータを駆動するパルス波形を生成する論理回路である。

【0047】

波形生成手段55は、電源が投入されたときから1.5秒の間ハイレベルとなるバックアップ信号S3を出力する。また波形生成手段55はバックアップ元信号S4と昇圧信号S5と充電クロックS6とを出力している。これらの各種信号および波形生成手段55の構成説明については後述する。

【0048】

時刻表示体54は図示しないステッピングモータや減速輪列や文字板や指針などからなる、電子時計の時刻表示要素である。時刻表示体54は波形生成手段55が生成したパルス波形を元にステッピングモータを駆動し、減速輪列を介して指針を回転させて時刻を表示する。時刻表示体54については一般的な構成であるため詳細な構成説明は省略する。

【0049】

定電圧手段52は一定電圧を出力する一般的な定電圧回路（電圧レギュレータ

）である。ここでは定電圧出力の端子は V_{reg} としている。なお定電圧手段 52 は時計ブロック 61 の電源電圧である接地- V_{ss1} 間の電圧で駆動され、接地- V_{reg} 間の電圧が 0.8 V となるように動作する。 V_{ss1} は時計ブロック 61 の負極の端子である。

【0050】

さらに定電圧出力 V_{reg} には N チャネル MOSFET であるプルダウンスイッチ 53 のドレイン端子が接続している。プルダウンスイッチ 53 のゲート端子にはバックアップ信号 S_3 が接続し、ソース端子は V_{ss1} に接続している。プルダウンスイッチ 53 は前述の発振インバータ等と同様にしきい値電圧が 0.3 V のもので構成する。バックアップ信号 S_3 がハイレベルの期間はプルダウンスイッチ 53 により V_{reg} と V_{ss1} との間は短絡状態となり、バックアップ信号 S_3 がロウレベルの期間は V_{reg} 端子は所定の定電圧となるように動作する。

【0051】

なお定電圧手段 52 は一般的な定電圧回路と同様に、接地- V_{ss1} 間の電圧が 0.8 V よりも低い間は V_{reg} 端子には V_{ss1} と等しい電位が現れることとする。またこれ以降は特に断らない限り電源電圧 V_{ss1} とは接地- V_{ss1} 間の電圧を指すものとする。蓄電電圧 V_{ss2} についても同様に接地- V_{ss2} 間の電圧を指すものとする。

以上のようにして本発明による電子時計の時計ブロック 61 を構成する。

【0052】

[波形生成手段および昇圧制御手段の構成説明：図 3]

つぎに図 3 を用いて本発明の電子時計の波形生成手段および昇圧制御手段の回路構成について説明する。波形生成手段 55 はパルス合成回路 55a とモータドライバ 55b と第 1 のレベルシフタ 55c とで構成する。また昇圧制御手段 80 は第 1 のナンドゲート 81 と第 1 のアンドゲート 72 と第 2 のレベルシフタ 73 と第 1 のオアゲート 74 と第 2 のアンドゲート 75 と第 1 のインバータ 76 と第 3 のアンドゲート 77 と第 4 のアンドゲート 78 と第 5 のアンドゲート 79 とで構成する。

【0053】

パルス合成回路55aとモータドライバ55bと第1のレベルシフタ55cと第2のレベルシフタ73と第1のインバータ76と第3のアンドゲート77と第4のアンドゲート78とは、一般的な電子時計の論理回路を構成するのに用いられるMOSFETと絶対値が同じしきい値電圧（ここでは0.5V）で構成する。ここでは、NチャネルMOSFETのしきい値は0.5Vであり、PチャネルMOSFETのしきい値は-0.5Vである。

【0054】

そしてこれ以外の昇圧制御手段80中の論理回路は、発振回路20に用いたものと同様にPチャネル、Nチャネル共にしきい値電圧の絶対値の低いMOSFETで構成した低しきい値CMOS回路で構成する。すなわち第1のナンドゲート81と第1のオアゲート74と第2のアンドゲート75と第5のアンドゲート79とを低しきい値CMOS回路（しきい値電圧の絶対値が0.3V）で構成する。

【0055】

パルス合成回路55aは、一般的な電子時計で用いられる分周回路と複数の論理ゲートで構成された、発振回路20の出力を元に前述のステッピングモータを回転駆動させるためのモータ駆動パルス波形を合成する一般的な論理回路である。

またモータドライバ55bはパルス合成回路55aのモータ駆動パルス波形をレベル変換し、ステッピングモータを駆動する大電流を供給可能なドライバ回路である。特に図示はしないが、モータドライバ55bの出力端子には前述のステッピングモータの駆動コイルが接続している。パルス合成回路55aおよびモータドライバ55bについては一般的な電子時計と同様の回路構成であるので詳細な説明は省略する。

【0056】

なお波形生成手段55および昇圧制御手段80の構成要素が動作するための電源としては、パルス波形合成回路55aと第1のナンドゲート81については前述の定電圧手段52の出力である定電圧出力Vreg（接地-Vreg）で動作

するように接続しており、さらに波形生成手段 55 や昇圧制御手段 80 中のそれ以外の論理回路素子は時計ブロック 61 の電源電圧 V_{ss1} (接地 - V_{ss1}) で動作するように接続していることとする。

【0057】

パルス合成回路 55 a はバックアップ元信号 S4 と昇圧信号 S5 と充電クロック S6 とを出力している。

昇圧信号 S5 は 4096 Hz の方形波である。同様に充電クロック S6 は 1 Hz の方形波である。

またバックアップ元信号 S4 は、時計ブロック 61 に電源を投入してから 1.5 秒間ハイレベルとなるパワーオンリセットパルスである。

これらの充電クロック S6 や昇圧信号 S5 やバックアップ元信号 S4 は一般的であるので生成回路の構成については省略する。

【0058】

波形整形出力 S2 はパルス合成回路 55 a に入力している。また 2 入力のナンドゲートである第 1 のナンドゲート 81 は波形整形出力 S2 とバックアップ元信号 S4 との論理積の否定信号が出力可能なように接続している。

【0059】

第 1 のレベルシフタ 55 c と第 2 のレベルシフタ 73 は接地 - V_{reg} レベルの論理信号を接地 - V_{ss1} レベルの信号にレベル変換するレベルシフタ回路である。バックアップ元信号 S4 は第 1 のレベルシフタ 55 c によってバックアップ信号 S3 にレベル変換される。

また 2 入力のアンドゲートである第 1 のアンドゲート 72 は発電検出信号 S9 と昇圧信号 S5 との論理積を出力可能なように接続している。さらに第 1 のアンドゲート 72 の出力は第 2 のレベルシフタ 73 によってレベル変換される。

【0060】

2 入力のオアゲートである第 1 のオアゲート 74 は、第 2 のレベルシフタの出力とバックアップ信号 S3 との論理和を出力可能なように接続している。

【0061】

2 入力のアンドゲートである第 2 のアンドゲート 75 は、第 1 のナンドゲート

81の出力と第1のオアゲート74との論理積を出力可能なように接続している。第2のアンドゲート75の出力は昇圧クロックS95としている。

【0062】

2入力のアンドゲートである第3のアンドゲート77は第2のレベルシフタ73の出力と充電クロックS6との論理積を出力可能なように接続している。第3のアンドゲート77の出力は第1の充電スイッチ信号S93としている。

同じく2入力のアンドゲートである第4のアンドゲート78は第2のレベルシフタ73の出力と充電クロックS6の否定信号との論理積を出力可能なように接続している。充電クロックS6の否定信号は充電クロックS6を第1のインバータ76に入力することで得ている。第4のアンドゲート78の出力は第2の充電スイッチ信号S94としている。

【0063】

2入力のアンドゲートである第5のアンドゲート79は、バックアップ信号S3と第1のナンドゲート81との論理積を出力可能なように接続している。第5のアンドゲート79の出力は第3の充電スイッチ信号S99としている。

以上のようにして、波形生成手段55および昇圧制御手段80とを構成する。

【0064】

[電子時計の動作説明：図1～図4]

つぎに図1から図4を用いて本発明の実施の形態の全体動作について説明する。ただし図4の波形図においては、発振出力S1と波形整形出力S2と定電圧出力Vreg以外は単に論理値だけを波形図上に示している。

【0065】

ここでは蓄電手段97の残量が空で発電手段96も発電をしておらず、時計ブロック61の動作が停止した状態から発電手段96が発電を開始する場合について説明する。

【0066】

太陽電池である発電手段96に光が照射することで発電を開始すると、第1のダイオード91を介して発電手段96から出力された電流が計時手段60中のコンデンサ62に電荷が蓄えられる。ここでは発電手段96の開放電圧は0.4V

程度であるとする。

【0067】

やがて電源電圧 V_{ss1} は第1のダイオード91の電圧降下により0.3Vまで充電される。このときはバックアップ信号S3はハイレベル（接地電位）であるので、プルダウンスイッチ53はほぼ導通状態となる。よって定電圧出力 V_{reg} の電圧値は電源電圧 V_{ss1} の電圧値と同じとなる。すなわち電源電圧 V_{ss1} および定電圧出力 V_{reg} の電圧値はともに0.3Vとなる。

【0068】

またバイアス回路40は動作電源である V_{reg} 電圧、すなわちこの状態では電源電圧 V_{ss1} が自身のMOSFETのしきい値以上の電圧となれば動作を開始し、バイアス回路40からは所定の電圧が出力され、第1のバイアス電圧 V_P は接地電位から0.3V低い電位となり、第2のバイアス電圧 V_N は V_{reg} から0.3V高い電位となる。

【0069】

続いて発電手段96が発電を開始した後に、電子時計が動作を開始する動作について説明する。

【0070】

バイアス回路40から所定の電圧が出力されれば、発振回路20は発振動作点が固定され、発振動作を行う。すなわち、発振回路20を構成するトランジスタ素子のゲート端子には、ほぼしきい値電圧付近の電圧が直流的にバイアスされるため、トランジスタ素子の増幅率は最大となり、発振回路20中の発振インバータは0.3V程度からでも増幅器として動作可能となる。さらに共振回路10を介して信号が再度入力側へ（第1および第2の結合容量23、24を介して交流的に）帰還されるので、結果として発振回路20は共振回路10の共振周波数である32KHzで発振動作を開始する。発振出力S1はほぼ正弦波となる。

なおこの発振回路20での消費電流は第3のトランジスタ素子27による定電流回路によって決まり、設定値である20nA程度に抑えられ、発振回路20はオーバートーン発振することなく安定した動作を行う。安定化容量29の端子間電圧は発振動作中はほぼ0.3Vとなる。

【0071】

同様に波形整形回路30も動作点が固定され安定した増幅動作を行う。すなわち、波形整形回路30を構成するトランジスタ素子のゲート端子には、ほぼしきい値電圧付近の電圧が直流的にバイアスされるため、トランジスタ素子の増幅率は最大となり、波形整形回路30は0.3V程度からでも増幅器として動作可能となる。さらにこのゲート端子に第3および第4の結合容量33、34を介して交流的に発振出力S1が印加されるので、結果として波形整形出力S2には発振出力S1が反転しかつ振幅が接地 $-V_{reg}$ 間の電圧まで増幅された信号が得られる。

【0072】

さらに波形整形出力S2は、低しきい値CMOSで構成した第1のナンドゲート81を介して第2のアンドゲート75へ送られるので、昇圧手段95は昇圧クロックS95を元に昇圧動作を行う。すなわち発振回路20の発振周波数である32KHzでコンデンサの直並列切り換え動作をする。

【0073】

また第1のナンドゲート81を介して波形整形出力S2が第5のアンドゲート79へ送られ、第3の充電スイッチ信号S99には波形整形出力S2の否定信号が増幅され方形波となった信号が現れる。第3の充電スイッチ99は昇圧手段95の昇圧動作に同期して開閉動作を行い、計時手段60へ昇圧出力を送るように動作する。

なおこの時点ではしきい値電圧の高いMOSFETで構成されたパルス合成回路55aおよびモータドライバ55bなどは動作しないが特に問題ない。

【0074】

昇圧手段95が昇圧動作を継続すると電源電圧 V_{ss1} は増加していく。バックアップ信号S3はハイレベルである期間はプルダウンスイッチ53は導通状態のままであるので、定電圧出力 V_{reg} には電源電圧 V_{ss1} と同じ電圧のままである。

【0075】

電源電圧 V_{ss1} はやがて発電電圧の4倍である1.6V程度まで上昇する。

電源電圧 V_{ss1} が高電圧となれば、パルス合成回路 55a も分周、パルス合成動作が可能となり昇圧クロック S5 や充電クロック S6 が出力されるようになる。またパルス合成回路 55a が動作を開始して 1.5 秒後にはバックアップ信号 S3 (すなわちバックアップ元信号 S4) がハイレベルからロウレベルへと立ち下がる。

【0076】

バックアップ信号 S3 がロウレベルとなると、プルダウンスイッチ 53 は非導通状態となるので、定電圧出力 V_{reg} は所定の電圧値へと切り替わる。なお定電圧手段 52 の定電圧動作のため、定電圧出力 V_{reg} の電圧値は電源電圧 V_{ss1} が増加しても所定の電圧以上とはならない。

【0077】

パルス合成手段 55a が動作を開始してから 1.5 秒後にも発電手段が発電を継続していれば、発電検出手段 98 はこれを検知し発電検出信号 S98 をハイレベルとしたままとなる。すると第 1 のアンドゲート 72 および第 2 のレベルシフタ 73 を介して昇圧信号 S5 が第 3 のアンドゲート 77 と第 4 のアンドゲート 78 とに送られる。よって第 1 の充電スイッチ信号 S93 と第 2 充電スイッチ信号 S94 とには 500 ミリ秒おきに昇圧信号 S5 が現れる。同様にして昇圧クロック S95 には昇圧信号 S5 が現れる。したがって昇圧手段 95 の昇圧出力は、第 1 の昇圧スイッチ 93 と第 2 の昇圧スイッチ 94 とによって計時手段 60 と蓄電手段 97 とに振り分けられ、蓄電手段 97 への充電動作と計時手段 60 の計時動作とが並行して行われる。

【0078】

これ以降は上記と同様に、発電手段 96 が発電状態である間は発電検出手段 98 がこれを検知して昇圧手段 95 が昇圧動作を行うので、時刻表示を行いつつ蓄電手段 97 への充電が行われる。また一旦蓄電手段 97 が蓄えられた後であれば、発電手段 96 が非発電となっても計時手段 60 の計時動作は継続可能となる。これについては特に図 4 では示していないが、発電手段 96 が非発電状態であれば発電検出信号 S98 はロウレベルとなるので昇圧クロック S95 はロウレベルのままとなり、昇圧手段の昇圧動作は停止する。同様に第 1 の充電スイッチ 93

および第2の充電スイッチ94はオフ状態となる。この間、時計ブロック61へは第2のダイオード92を介して蓄電手段97に蓄えられた電力が送られるため、発電手段96が非発電であっても時計ブロック61の計時動作は継続されるようになる。

【0079】

すなわち、本実施の形態の電子時計は、電子時計が発振起動した直後から所定の期間に相当する1.5秒間の間、昇圧手段95は計時手段60に強制的に昇圧出力を行い、それ以降は発電の有無に応じて昇圧出力を行うように動作する。

【0080】

なお上記の実施の形態においては、電子時計の起動直後に昇圧手段95が動作する期間は1.5秒間に固定した時間であったが、より安全に全体を動作させるために計時手段60の端子間電圧が十分に上昇するまで昇圧手段95を継続動作させるようにしても良い。これについては後述の第2の実施の形態で説明する。

【0081】

[本発明の第2の実施の形態の説明：図5]

本発明の第2の実施の形態は、第1の実施の形態とは計時手段60の一部が異なるだけである。ここでは図5を用いて第1の実施の形態との相違する箇所の構成説明をする（第1の実施の形態の説明の図3に相当）。

【0082】

第2の実施の形態は、第1の実施の形態の波形生成手段55に、さらに電源電圧検出手段84とラッチ82と第2のインバータ83とを加えて構成する。これらはパルス合成回路55a等と同じしきい値のMOSFETで構成する。

【0083】

電源電圧検出手段84は入力電圧が所定の電圧未満か否かを判定する一般的な電圧検出回路である。ここでは計時手段60の端子電圧が1.2V未満であればロウレベルを出力し、それ以外ではハイレベルを出力するものを用いている。電源電圧検出手段84の出力信号は電源電圧検出信号S84とする。

【0084】

ラッチ82はノアゲート2個で構成する一般的なラッチ回路である。ラッチ8

2のリセット入力にはバックアップ元信号S4を接続し、セット入力には前述の電源電圧検出信号S84を接続する。そしてラッチ82の出力信号を第2のインバータ83に接続し、ラッチ82の出力信号の否定信号を得る。第2のインバータ83の出力信号は第1の実施の形態で示したバックアップ元信号S4の代わりとしてナンドゲート81や第1のレベルシフタ55cに接続する。

【0085】

つづいて、上記のように本発明の電子時計を構成したときの動作について説明する。本実施の形態の動作についても、第1の実施の形態とほとんど同様であるので異なる部分のみについて説明する。

【0086】

1段セル構成の太陽電池である発電手段96が発電を開始すると、計時手段60の端子間電圧が上昇し、発振回路20が発振を開始する。そして波形整形回路30を介して発振周波数と同じ信号がナンドゲート81を経由して昇圧手段95へ送られる。

【0087】

バックアップ元信号S4は、第1の実施の形態と同様に発振回路20の発振開始から1.5秒間はハイレベルとなるが、この信号はラッチ82のリセット入力に接続しているのでラッチ82はリセット状態となり、少なくともバックアップ元信号S4がハイレベルである1.5秒間はラッチ82の出力はロウレベルとなり第2のインバータ83はハイレベルを出力する。このため、前述の第1の実施の形態と同様に本実施の形態においても昇圧手段95は起動直後から1.5秒間は昇圧動作を行い、計時手段60へのみ昇圧出力を行う。

【0088】

そして、バックアップ元信号S4がロウレベルとなった後も、電源電圧検出手段84がハイレベルを出力するまで、すなわち計時手段60の端子電圧が1.2Vを越えるまでの間はラッチ82の出力はロウレベルのままであるので、昇圧手段95は計時手段60へ昇圧出力を継続する。

【0089】

そして計時手段60の端子間電圧が一度1.2Vを越えれば電源電圧検出手段

84がこれを検知し、電源電圧検出信号S84をハイレベルに変更する。なおこの電圧値は計時手段60中のステップングモータなどの要素が十分に動作可能な電圧値として設定している。

【0090】

電源電圧検出信号S84がハイレベルになればラッチ82はセット状態となり第2のインバータ83の出力はロウレベルとなる。よってこれ以降は第1の実施の形態と同様に、昇圧手段95は発電手段96の発電状態に応じて昇圧動作を行うようになる。

【0091】

すなわち、本実施の形態の電子時計は、電子時計が発振起動した直後から、計時手段60の端子電圧が所定の電圧値に相当する1.2Vに達するまでの間は、昇圧手段95は計時手段60に強制的に昇圧出力を行い、それ以降は発電の有無に応じて昇圧出力を行うように動作する。

【0092】

特に本実施の形態は、発電手段96から得られる発電電流が充分でなく、計時手段60の端子電圧を上昇させるのに時間がかかるような環境下であっても、計時手段60が低電圧で誤動作することなく安全に電子時計を起動動作させることができるという効果を有している。

【0093】

なお、上記の第1および第2の実施の形態における電源周辺回路に用いた回路要素もこれらに限定するものではない。

たとえば蓄電手段97の充放電制御の経路を簡単にするため、蓄電手段97から計時手段60へ電力供給を行うためには第2のダイオード92を用いたが、これをMOSFETで構成したスイッチとしてもよい。同様に第1のダイオード91はMOSFETで構成したスイッチとしてもよい。

また昇圧手段95としてはコンデンサの接続状態を切りかえる形式のものを仮定したが、その他コイルに生じる誘起電圧を利用したものであってもよい。

【0094】

【発明の効果】

上記までの説明で明らかなように、本発明によれば、従来は難しかった水晶発振回路自体を、太陽電池 1 段分より低い 0.4 V という低い発電電圧の印加で発振起動動作させることが可能となる。

【0095】

さらに、上記の発振回路および波形整形回路によって、発振開始直後から発振周波数で直接昇圧手段を駆動するようにしたため、発振回路自体の起動電圧よりも定格電圧の高いステッピングモータなどの負荷を即時に動作させることができるようになっており、発生電圧が低い発電器を用いて電子時計以外の様々な電子機器も駆動させることが可能となる。

【0096】

またこの発振回路への給電に定電流回路を用いることでオーバートーン発振も抑制でき、かつ通常発振時の消費電力を従来よりも低くできるため、安定した発振特性を維持したまま起動特性の改善をはかることができる。

【0097】

特に本発明の電子時計には一般的な電子時計の発振回路に用いる水晶振動子のみを用いており、CR 発振回路やリング発振回路といった比較的低電圧で動作するが消費電流の大きい他の発振回路と比較しても発振動作に必要な電流は格段に小さいため発振起動がし易く、出力抵抗値の高い熱電発電器なども発電手段として選べるというメリットも有している。当然ながら CR 発振回路やリング発振回路といった発振回路を別途用意する必要もない。

【図面の簡単な説明】

【図 1】

本発明の電子時計の第 1 の実施の形態の全体回路構成を示した回路図である。

【図 2】

本発明の電子時計の第 1 の実施の形態の時計ブロックの回路構成を示した回路図である。

【図 3】

本発明の電子時計の第 1 の実施の形態の波形生成部の回路構成を示した回路図である。

【図 4】

本発明の電子時計の実施の形態の要部電圧波形を示した波形図である。

【図 5】

本発明の電子時計の第 2 の実施の形態の要部回路構成を示した回路図である。

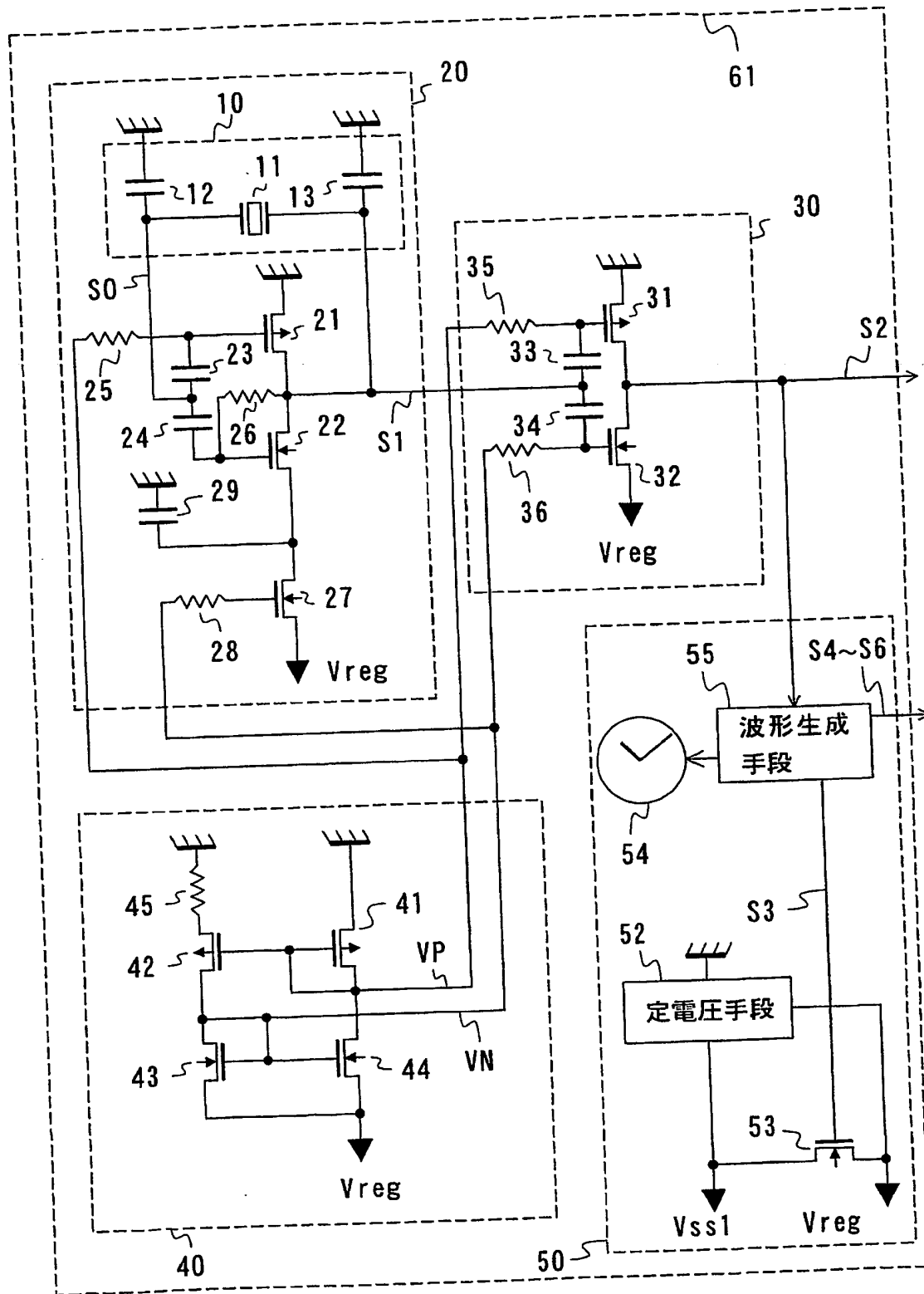
【図 6】

従来の電子時計の回路構成を示した回路図である。

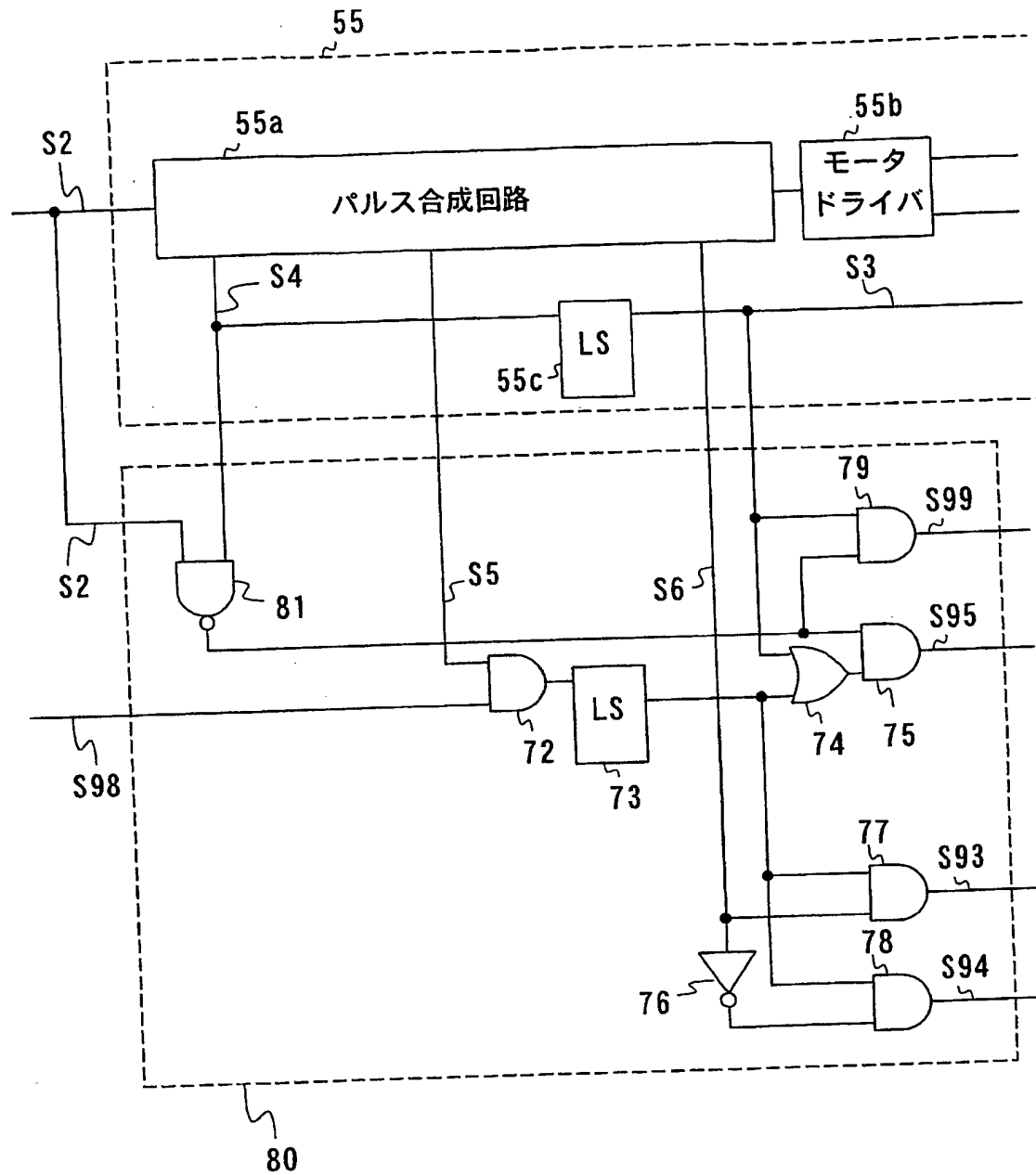
【符号の説明】

- 20 発振回路
- 30 波形整形回路
- 40 バイアス回路
- 52 定電圧手段
- 54 時刻表示体
- 55 波形生成手段
- 60 計時手段
- 80 昇圧制御手段
- 84 電源電圧検出手段
- 95 昇圧手段
- 96 発電手段
- 97 蓄電手段
- 98 発電検出手段

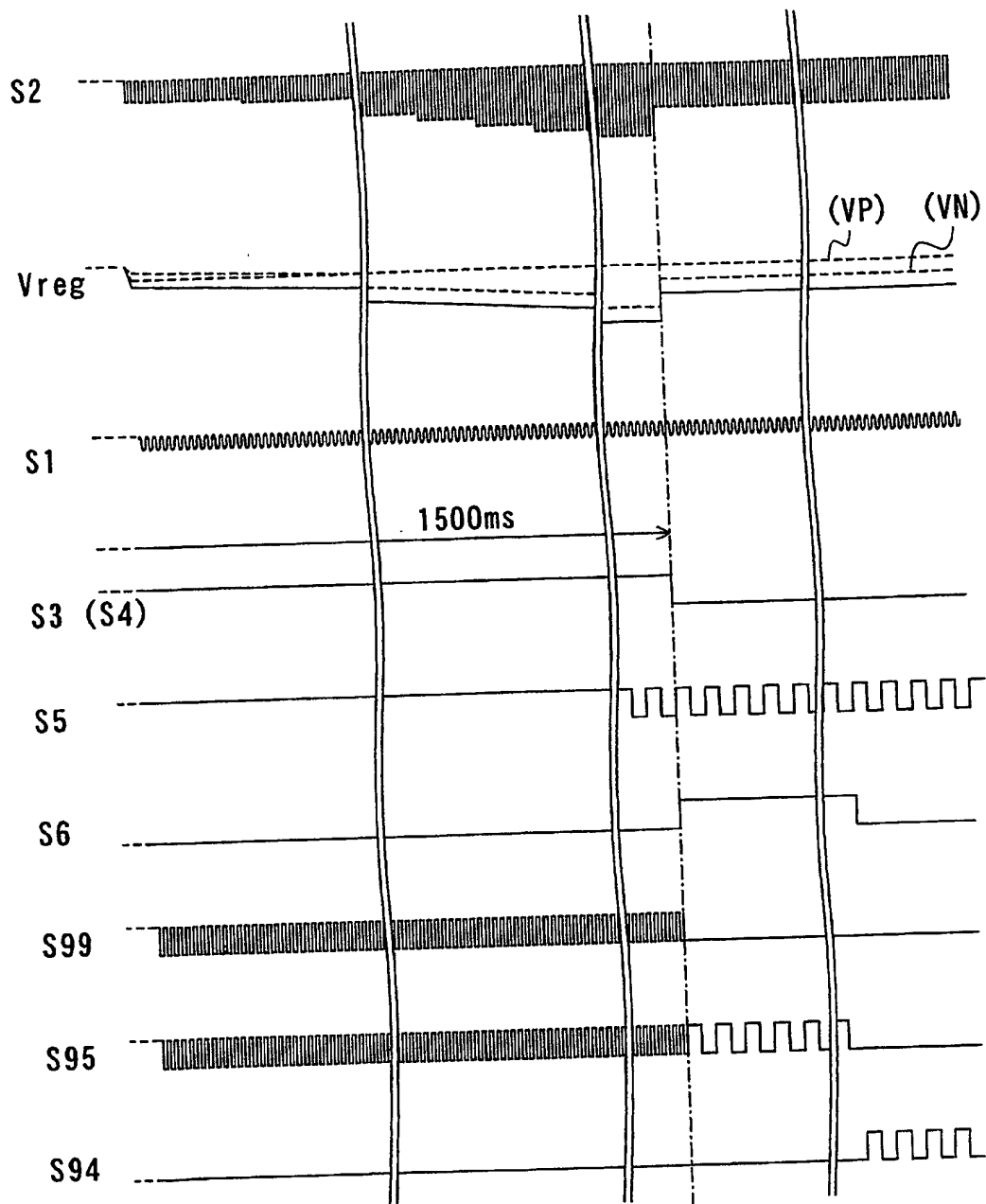
【図 2】



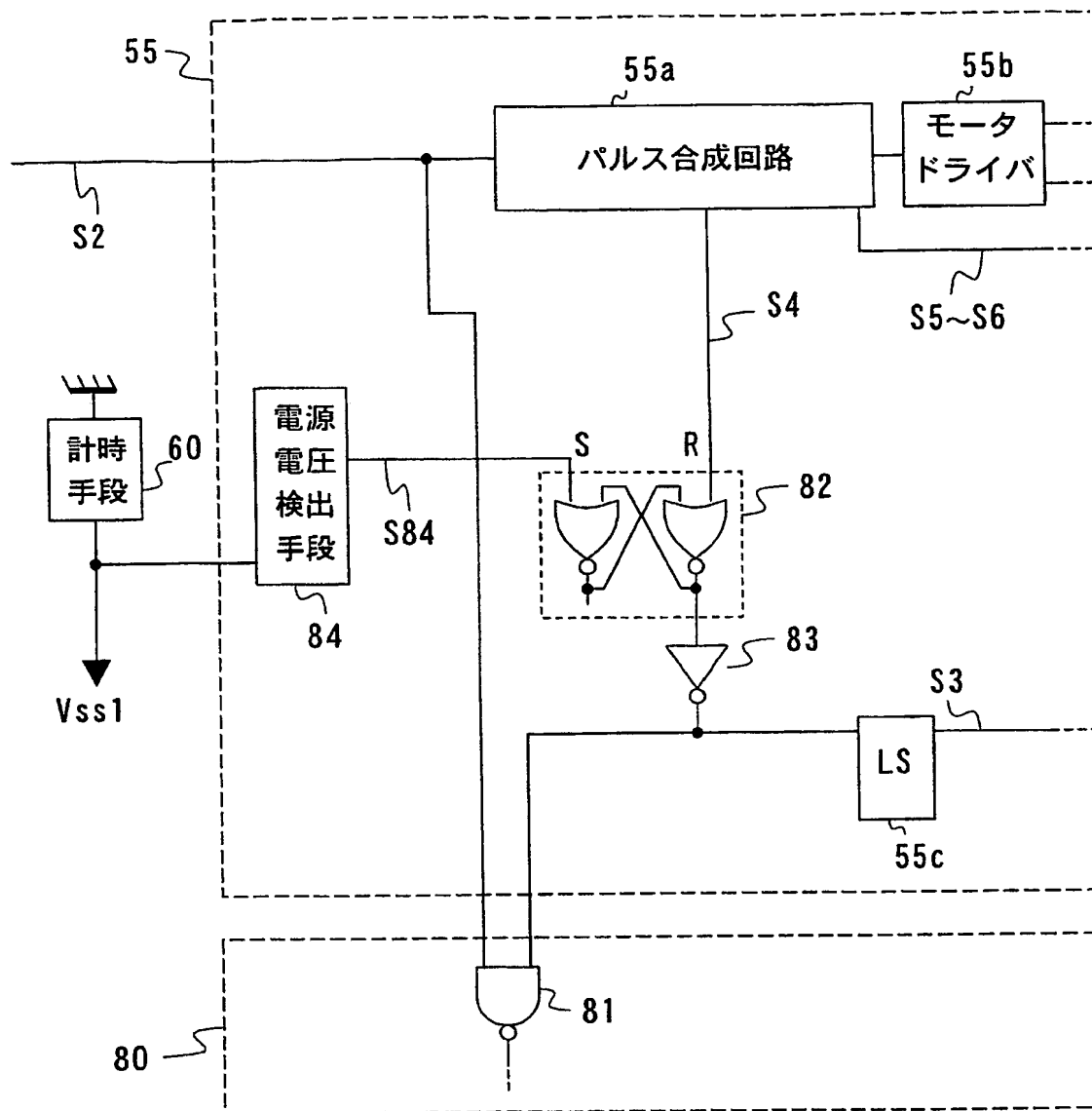
【図 3】



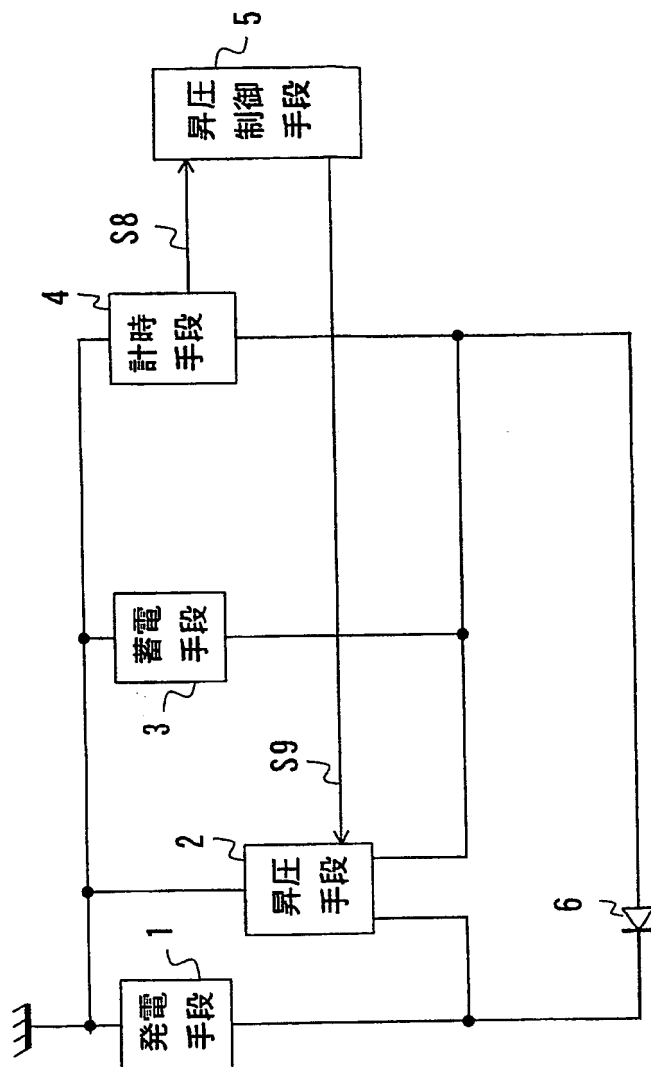
【図 4】



【図 5】



【図 6】



【書類名】 要約書

【要約】

【課題】 低電圧における電子時計の起動特性を向上させる。

【解決手段】 低電圧から発振動作可能な発振回路を用い、この発振回路出力を波形整形回路を介して増幅して昇圧手段へ送り、発振回路の動作開始直後から発振周波数で昇圧手段に昇圧動作させることで、発電電圧が低くとも電子時計全体が自起動可能となるようにした。またこの発振回路には常に動作電流が一定となるように構成した。これにより出力電圧の低い1段構成のソーラセルによる電子時計が実現可能となる。

【選択図】 図1

特願 2 0 0 2 - 2 7 6 5 7 2

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 1 9 6 0]

1. 変更年月日

2 0 0 1 年 3 月 1 日

[変更理由]

住所変更

住 所

東京都西東京市田無町六丁目 1 番 1 2 号

氏 名

シチズン時計株式会社